

Patent

Attorney's Docket No. 027260-481

5-10-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
Michio KOMODA) Group Art Unit: Unassigned
Application No.: Unassigned) Examiner: Unassigned
Filed: August 6, 2001)
For: CIRCUIT MODIFICATION METHOD)

11011 U.S. PRO
09/921604
08/06/01

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

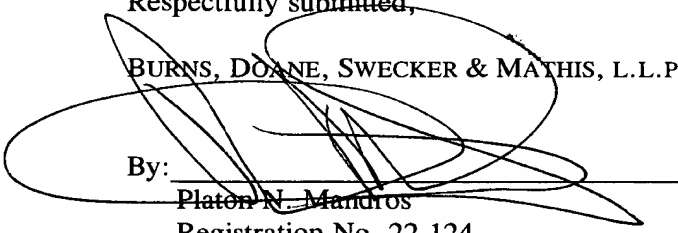
Japanese Patent Application No. 2000-352458

Filed: November 20, 2000

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,
BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: August 6, 2001

By: 
Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : November 20, 2000

Application Number : Japanese Patent Application No. 2000-352458

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 9th day of February, 2001

Commissioner,
Patent Office Kozo OIKAWA

Certificate No. 2001-3005137

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1011 U.S. PRO
09/921604
08/06/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年11月20日

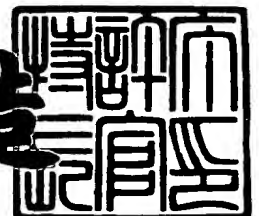
出 願 番 号
Application Number: 特願2000-352458

出 願 人
Applicant(s): 三菱電機株式会社

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3005137

【書類名】 特許願

【整理番号】 528724JP01

【提出日】 平成12年11月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 古茂田 道夫

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100102439

【弁理士】

【氏名又は名称】 宮田 金雄

【選任した代理人】

【識別番号】 100092462

【弁理士】

【氏名又は名称】 高瀬 彌平

【手数料の表示】

【予納台帳番号】 011394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 回路修正方法およびコンピュータプログラム

【特許請求の範囲】

【請求項 1】 ある配線である所定の配線にバッファを挿入して回路を修正する方法であって、

1 本又は複数本の他の配線からなるアグレッサによって前記所定の配線にグリッチエラーが生じると判定された場合、前記アグレッサと前記所定の配線との間のカップリング容量に基づいて、前記所定の配線におけるバッファを挿入すべき挿入位置を決定する第 1 のステップを含んだ、回路修正方法。

【請求項 2】 前記第 1 のステップは、

前記カップリング容量を使ってある目標容量値を算出する第 2 のステップ、および、

前記所定の配線を複数の配線部分に分割したとき、当該複数の配線部分の各々と前記アグレッサとのカップリング容量が、前記目標容量値を越えないように、前記所定の配線における分割点を決定し、その分割点を前記挿入位置とする第 3 のステップ、を含んだ、請求項 1 に記載の回路修正方法。

【請求項 3】 前記第 2 のステップにおいて、

さらに、前記アグレッサが前記所定の配線に引き起こすグリッチのグリッチ量を使って前記目標容量値を算出する、請求項 2 に記載の回路修正方法。

【請求項 4】 前記第 2 のステップは、

前記グリッチ量に基づき、前記複数の配線部分の数を決定する第 4 のステップ、および、

前記カップリング容量および前記第 4 のステップで決定された数に基づき、前記目標容量値を算出する第 5 のステップを含む、請求項 3 に記載の回路修正方法。

【請求項 5】 前記第 4 のステップは、

前記アグレッサと前記所定の配線との間のカップリング容量を C_c とし、前記グリッチ量を V とし、ある定められた値を V_{max} としたとき、 $V/n \leq V_{max}$ を満たす最小の整数値 n を前記複数の配線部分の数と決定するステップを含む

前記第5のステップにおいて、前記目標容量値を C_c/n を算出し、

前記第3のステップにおいて、前記複数の配線部分の各々と前記アグレッサとのカップリング容量が C_c/n と一致するように前記分割点を決定する、請求項4に記載の回路修正方法。

【請求項6】 前記第2のステップにおいて、前記アグレッサと前記所定の配線との間のカップリング容量を C_c とし、前記アグレッサが前記所定の配線に引き起こすグリッチのグリッチ量を V とし、ある定められた値を V_{max} としたとき、前記目標容量値を $C_c \times V_{max} / V$ と算出する、請求項3に記載の回路修正方法。

【請求項7】 ある所定の配線にバッファを挿入して回路を修正する方法であって、

各々が1本または複数本の他の配線からなる複数のアグレッサの各々が前記所定の配線にグリッチエラーを生じさせると判定された場合、前記複数のアグレッサと前記所定の配線との間のそれぞれ複数のカップリング容量に基づき、前記複数のアグレッサにそれぞれ対応する複数の目標容量値を算出する第1のステップ、および、

前記所定の配線を複数の配線部分に分割したとき、前記複数のアグレッサの各々と前記複数の配線部分の各々とのカップリング容量が、各アグレッサに対応する目標容量値を越えないように前記所定の配線における分割点を決定し、この分割点をバッファを挿入すべき挿入位置とする第2のステップ、を含んだ、回路修正方法。

【請求項8】 前記複数のアグレッサと前記所定の配線との間のそれぞれ複数のカップリング容量を C_{ci} とし、前記複数のアグレッサが前記所定の配線に引き起こすそれぞれグリッチのグリッチ量を V_i とし、ある定められた値を V_{max} としたとき（ $i = 1 \sim k$ 、 k は2以上の整数）、

前記第2のステップは、 $V_i / n_i \leq V_{max}$ を満たす最小の整数値 n_i を決定し、前記複数の目標容量値の一つとして C_{ci} / n_i を算出するステップを $i = 1 \sim k$ について行うステップを含む、請求項7に記載の回路修正方法。

【請求項 9】 前記第 2 のステップは、

複数の分割方法のうちの第 i の分割方法で前記所定の配線を複数の配線部分に分割するとき当該複数の配線部分の各々と複数のアグレッサのうちの第 i のアグレッサとのカップリング容量が前記第 i のアグレッサに対応する目標容量値と一致するように前記第 i の分割方法で分割したときの前記所定の配線上の分割点を決定するステップを $i = 1 \sim k$ (k は 2 以上の整数) について行う第 3 のステップと、

前記複数の分割方法で前記所定の配線を分割したすべての分割点の中から前記挿入位置を選択する第 4 のステップとをさらに含む、請求項 7 または請求項 8 に記載の回路修正方法。

【請求項 10】 前記複数のアグレッサと前記所定の配線との間のそれぞれ複数のカップリング容量を C_{ci} とし、複数のアグレッサが前記所定の配線にそれぞれ引き起こすグリッチのグリッチ量を V_i とし、ある定められた値を V_{max} としたとき ($i = 1 \sim k$ 、 k は 2 以上の整数)、

前記第 2 のステップは、 $C_{ci} \times V_{max} / V_i$ を前記複数の目標容量値の一つとして算出するステップを $i = 1 \sim k$ について行うステップを含む、請求項 7 に記載の回路修正方法。

【請求項 11】 ある所定の配線にバッファを挿入して回路を修正する方法であって、

1 本又は複数本の他の配線からなるアグレッサによって前記所定の配線にグリッチエラーが生じると判定された場合、前記アグレッサが前記所定の配線に引き起こすグリッチのグリッチ量に基づいて、前記所定の配線に挿入すべきバッファの数を決定するステップを含む、回路修正方法。

【請求項 12】 前記ステップは、前記グリッチ量を V 、ある定められた値を V_{max} としたとき、 $V / n \leq V_{max}$ を満たす最小の整数値 n を得るステップをさらに含む、請求項 11 に記載の回路修正方法。

【請求項 13】 ある所定の配線にバッファを挿入して回路を修正する方法であって、

1 本又は複数本の他の配線からなるアグレッサによって前記所定の配線にグリ

ツチエラーが生じると判定された場合、前記所定の配線を駆動する駆動回路と同じか又はそれより大きい駆動能力を有するバッファを前記所定の配線に挿入するステップを含む、回路修正方法。

【請求項 1 4】 前記ステップは、

セルライブラリに格納されている複数のバッファセルから、前記所定の配線を駆動する駆動回路と同じか又はそれより大きい駆動能力を有し且つそのなかで回路面積の小さいものをバッファとして選択する第 1 のステップ、および

前記第 1 のステップで選択されたバッファセルを前記所定の配線に挿入する第 2 のステップを含む、請求項 1 3 に記載の回路修正方法。

【請求項 1 5】 前記アグレッサが前記所定の配線にグリッチエラーを生じさせるか否か判定する第 1 の判定ステップと、

前記アグレッサが前記所定の配線にグリッチエラーを生じさせると判定された場合、前記所定の配線を駆動する回路を、より大きい駆動能力を有した新たな駆動回路に置き換える置き換えステップと、

前記駆動回路に置き換えた後に、前記アグレッサが前記所定の配線にグリッチエラーを生じさせるか否かを判定する第 2 の判定ステップとを含み、この第 2 の判定ステップでグリッチエラーが生じると判定された後に請求項 1 ないし請求項 1 4 のいずれか一項に記載の回路修正方法を行う、回路修正方法。

【請求項 1 6】 所定の配線に、1 本または複数本の他の配線からなるアグレッサがグリッチエラーを生じさせるか否か判定するステップと、

前記アグレッサが前記所定の配線にグリッチエラーを生じさせると判定された場合、前記所定の配線を駆動する駆動回路を、より大きい駆動能力を有した別の駆動回路に置き換えるステップを含む、回路修正方法。

【請求項 1 7】 請求項 1 ないし請求項 1 6 のいずれか一項に記載の回路修正方法をコンピュータに行わせるコンピュータプログラム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、回路中の所定の配線に他の配線の影響により許容できないグリッ

チが生じたときに回路を修正するための、回路修正方法およびコンピュータプログラムに関するものである。

【0002】

【従来の技術】

図1(a)に示すように、半導体集積回路内のある配線1に隣接して別の配線2が設けられている。この配線間のカップリング容量によって配線2の電圧変化によって配線1にパルス状の信号波形が生じる現象は「グリッチ」(Glitch)として知られている。他の配線から影響を受ける配線はビクティム(Victim)と呼ばれ、自身から他の配線に影響を与える配線はアグレッサ(Aggressor)と呼ばれる。図1の場合、配線1はビクティムであり、配線2はアグレッサである。

【0003】

図2は、横軸に時間、縦軸に電圧値をそれぞれとった場合の配線1、2の電圧変化を示す。配線1がドライバ3により例えば電源電圧(1.5V)に固定されている状態でドライバ4により配線2上の電圧が電源電圧(1.5V)からグラウンド電圧(0V)に変化した場合、配線1、2間のカップリング容量 C_c が原因で、配線1の電圧は一旦降下して電源電圧に戻るグリッチが生じる。配線1に生じる電圧の変化量の最大をグリッチ量とすると、グリッチ量があまりにも大きい場合そのグリッチによって配線1に接続する次段の回路が誤動作する可能性がある。よって、グリッチ量がある一定の許容量を超えたときグリッチエラーと判断し、グリッチのグリッチ量を削減するように回路を修正する必要がある。これは配線1がグラウンド電圧に固定されたときに配線2がグラウンド電圧から電源で電圧に変化する場合も同様である。

なおグリッチの解析については、例えば、Rafi Levy, David Blaauw, Gabi Braca, Aurobindo Dasgupta, Amir Grinshpon, Chanhee Oh, Boaz Orshav, Supamas Sirichotiyakul and Vladimir Zolotov, "14.1 Clarinet: A noise analysis tool for deep submicron design" [p.233] (http://www.sigda.acm.org/Archives/ProceedingArchives/Dac/Dac2000/papers/2000/dac00/htmfiles/sun_sgi/dacabs.htm#14_1) に記載されている。

【0004】

その回路修正方法の一例として、図1（b）のように、もしグリッチエラーが配線1に生じたとき、配線1の中央に新たなバッファ（ドライバ）5を1個だけ挿入する手法がある。配線1のカップリング容量 C_c が配線1の分割配線1a、1bにそれぞれ C_{c1} 、 C_{c2} と分配されるので、配線1a、1bにそれぞれ生じるグリッチ量は配線1に生じる元のグリッチ量より少なくなる。この回路修正方法はコンピュータプログラムにより実現される。

【0005】

【発明が解決しようとする課題】

しかしながら配線1において配線2の隣接する部分が偏っている、例えば図3に示すように後段側に偏っている場合を考える。もし配線1の中央Aにバッファを挿入すると、配線1が分割された後の配線2から遠い側の配線1aと配線2とのカップリング容量は極めて小さくなり、配線1aに生じるグリッチのグリッチ量は概ねゼロとなる。しかし、近い側の配線1bと配線2とのカップリング容量 C_{c2} は、元のカップリング容量 C_c とさほど変わらないため、配線1bに生じるグリッチのグリッチ量はほとんど改善されない。他の要因によりむしろグリッチ量が増えてしまう場合もある。よって配線1bの中央部にさらにバッファを挿入する必要がある。

【0006】

このように従来の回路修正方法においては、2つの配線の間がいかなる関係であろうと、配線の中央にバッファを挿入するステップをグリッチエラーがなくなるまで繰り返すため、その挿入するバッファ数が増加させることになる。これが回路の面積若しくは消費電力の増大につながる。

【0007】

またいかなる場合でも、予め決められた1種類のバッファが挿入されるので、必要以上の駆動能力のバッファが使用されることになると、同じく回路の面積若しくは消費電力が増加し、一方、十分な駆動能力のないバッファが使用されることになると、グリッチエラーの解消ができず追加のバッファが必要になる。

【0008】

従って本発明の目的は、グリッチエラーの解消のために挿入されるバッファを必要以上に増やさない回路修正方法およびコンピュータプログラムを提供することである。

また、グリッチエラーの解消のために回路の面積を抑えた回路修正方法およびコンピュータプログラムを提供することである。

また、グリッチ量を低減してグリッチエラー解消を促進する回路修正方法およびコンピュータプログラムを提供することである。

【 0 0 0 9 】

【課題を解決するための手段】

この発明の回路修正方法では、アグレッサによって所定の配線（以下、ビクティム）にグリッチエラーが生じると判定された場合、アグレッサとビクティムとの間のカップリング容量に基づいて、バッファを挿入すべきビクティム上の挿入位置を決定するステップを含む。バッファが挿入されるとビクティムが複数の配線部分に分割される。そのカップリング容量がその複数の配線部分にうまく分配される分割点をカップリング容量から見積もることができる。例えば、図 3 のようにアグレッサがビクティムの偏った部分に配置されていた場合、ビクティムの中央でなく、配線 1 a、1 b に適切にカップリング容量が分配される位置をバッファの挿入位置と決めることができる。適切な位置にバッファを挿入できればバッファの数を減らすことが可能である。

【 0 0 1 0 】

この発明の回路修正方法では、バッファの挿入位置を決定するために、カップリング容量に基づき、ある目標容量値が算出される。そして、ビクティムを複数の配線部分に分割したとき、複数の配線部分の各々とアグレッサとのカップリング容量が、いずれも目的容量値を越えないように、ビクティムの分割点が挿入位置として決定される。この目標容量値をグリッチエラーを解消するために必要な目標の容量値とすれば、バッファを挿入した後の配線においてグリッチエラーは回避できる。特に、目標容量値をさらに、アグレッサがビクティムに引き起こすグリッチのグリッチ量を使って算出すると、目標容量値をグリッチエラーを解消するために必要な目標の容量値に見積もることが容易になる。

【 0 0 1 1 】

そのため、この発明の回路修正方法では、グリッチ量に基づいてその分割後の配線部分の数を算出して、グリッチエラーを解消する適切なバッファ数を決定する。例えば、カップリング容量を C_c とし、グリッチ量を V とし、ある定められた値を V_{max} としたとき、 $V/n \leq V_{max}$ を満たす最小の整数値 n を分割後の配線部分の数とすると、グリッチエラーを解消する少ないバッファ数が選択できる。そして、カップリング容量およびその配線部分の数に基づいて目標容量値が算出される。例えば目標容量値を C_c/n と算出する。そして複数の配線部分の各々とアグレッサとのカップリング容量を C_c/n と一致するようにビクティムの分割点を設定するとよい。

【 0 0 1 2 】

また、目標容量値は $C_c \times V_{max} / V$ と決定してもよい。 V_{max} をグリッチエラーを回避する修正目標のグリッチ量とすれば、 $C_c \times V_{max} / V$ はグリッチエラーを解消するために必要な目標の容量値である。

【 0 0 1 3 】

この発明の回路修正方法は、アグレッサによってビクティムにグリッチエラーが生じると判定された場合、アグレッサがビクティムに引き起こすグリッチのグリッチ量に基づいてビクティムに挿入すべきバッファの数（言い換えれば、バッファ挿入によりビクティムが分割される個数）を決定するステップを含む。バッファ数を決める際にグリッチ量が反映できるので、グリッチエラーを解消する適切なバッファ数が決定できる。例えばそのグリッチ量を V 、ある定められた値を V_{max} としたとき、 $V/n \leq V_{max}$ を満たす最小の整数値 n を求める。 V_{max} をグリッチエラーを回避する修正目標のグリッチ量とすれば、バッファ数は $(n-1)$ になり、少ないバッファ数を見積もることができる。

【 0 0 1 4 】

またこの発明の回路修正方法では、アグレッサによってビクティムにグリッチエラーが生じると判定された場合、ビクティムを駆動する駆動回路と同じか又はそれより大きい駆動能力を有するバッファがビクティムに挿入される。よってバッファ挿入後の配線のグリッチ量を削減することができる。加えて、このバッフ

アが、セルライブラリに記憶された複数のバッファセルから選択される場合、ビクティムを駆動する駆動回路と同じか又はそれより大きい駆動能力を有し且つそのなかで回路面積の小さいものが選択される。回路面積の増大を抑えることができる。

【0015】

またこの発明の回路修正方法は、複数のアグレッサの各々がビクティムにグリッチエラーを生じさせると判定された場合、複数のアグレッサとビクティムとの間のそれぞれ複数のカップリング容量に基づき、複数のアグレッサにそれぞれ対応する複数の目標容量値を算出する第1のステップ、および、ビクティムを複数の配線部分に分割したとき、複数のアグレッサの各々と複数の配線部分とのそれぞれカップリング容量が、各アグレッサに対応する目標容量値を越えないように、ビクティムの分割点を決定する第2のステップを含む。この分割点はバッファの挿入位置になる。この複数の目標容量値をそれぞれのアグレッサにより生じるグリッチエラーを回避するために必要な目標の容量値とすれば、バッファを挿入した後の配線において複数のアグレッサのいかなるアグレッサに対してもグリッチエラーは回避できる。

【0016】

特に、第2のステップは、複数のアグレッサとビクティムとの間のそれぞれ複数のカップリング容量を C_{ci} とし、複数のアグレッサがビクティムに引き起こすそれぞれグリッチのグリッチ量を V_i とし、ある定められた値を V_{max} としたとき、第2のステップは、 $V_i / n_i \leq V_{max}$ を満たす最小の整数値 n_i を決定し、目標容量値として C_{ci} / n_i を算出するステップを $i = 1 \sim k$ (k は2以上の整数) について行うステップを含んでもよい。

【0017】

また、第2のステップは、第 i の分割方法でビクティムを複数の配線部分に分割するときその複数の配線部分の各々と第 i のアグレッサとのカップリング容量が第 i のアグレッサに対応する目標容量値と一致するように第 i の分割方法で分割したときのビクティム上の分割点を決定するステップを $i = 1 \sim k$ について行う第3のステップと、複数の分割方法でビクティムを分割したすべての分割点

の中から挿入位置を選択する第4のステップとをさらに含む。

【0018】

さらに、第2のステップは、目標容量値を $C_{ci} \times V_{max} / V_i$ と算出するステップを $i = 1 \sim k$ (k は2以上の整数) について行うステップを含んでもよい。

【0019】

またこの発明の回路修正方法は、配線であるビクティムに、1本または複数本の他の配線からなるアグレッサがグリッチエラーを生じさせるか否か判定するステップと、アグレッサがビクティムにグリッチエラーを生じさせると判定された場合、ビクティムを駆動する駆動回路をより大きい駆動能力を有した別の駆動回路に置き換えるステップを含む。ビクティムを駆動する駆動能力が向上するのでグリッチ量は減少する。よってグリッチエラーの解消が促進される。

【0020】

上述に記載の回路修正方法はコンピュータプログラムによってコンピュータにより行われる。

【0021】

【発明の実施の形態】

以下、本発明の好ましい実施の形態を図面に基づいて説明する。なお図において、同一のもの又は相当のものには同一の符号を付している。

実施の形態1.

図4(a)は本実施の形態1の回路修正方法によって修正されるべき半導体集積回路の一部であり、図3のバッファ5の挿入前の回路と同一とする。ドライバ3、4は、入力する信号に基づきそれぞれ配線1、2の電圧を電源電圧若しくはグランド電圧に駆動する。ドライバ6、7は、それぞれ配線1、2の電圧を受けて次段の配線を駆動する。配線1はその後段部分で配線2と隣接している。この回路はCAD (Computer Aided Design) ツールによりすでにレイアウト設計された状態を示す。

【0022】

アグレッサである配線2 (以下、アグレッサ2) の信号変化によって配線1 (

以下、ビクティム1) に生じるグリッチがグリッチエラーであると判定される場合の回路修正方法を、図5(a)のフローチャートを用いて説明する。

【0023】

本実施の形態による回路修正方法は、レイアウト検証用のCADツールとしてのコンピュータプログラム(ソフトウェア)により実現される。このコンピュータプログラムはコンピュータに読み取り可能な記録媒体に記録され、コンピュータがその記録媒体から読み出したプログラムに従って本実施の形態の方法を実施する。

【0024】

なお、アグレッサ2を含め回路内のビクティム1以外の全配線についてもグリッチエラーの判断および修正を行う必要があるが、以下の方法と同様の判定および修正を行えばよいので、ここではビクティム1についてのみ説明する。

【0025】

ステップST1ないしステップST5は順次実行され、まずステップST1で、例えば図2のようにアグレッサ2が電源電圧からグランド電位(あるいはグランド電位から電源電圧)に変化したときにビクティム1に生じるグリッチのグリッチ量Vを算出する。ビクティム1上の場所によってそのグリッチ量は異なるが、本実施の形態ではドライバ6の入力点におけるグリッチ量を算出している。より好ましくは、ビクティム1上で現れる最も大きいグリッチ量を算出してもよい。グリッチ量は、ビクティム1とアグレッサ2との間のカップリング容量Cc、ドライバ3の駆動能力およびその他のパラメータを使った演算から得られる。

【0026】

次いでステップST2において、グリッチ量Vが値Verr以下であるかどうか判断される。値Verrはグリッチエラーと判定される量で予め決められている。V≤Verrであればアグレッサ2によりビクティム1にグリッチエラーを生じないと判断し、バッファを挿入する回路修正は行わない。V>Verrであればグリッチエラーがあると判断し、ステップST3を実行する。

【0027】

次いでステップST3において、ビクティム1とアグレッサ2とのカップリン

グ容量 C_c に基づきビクティム 1 へ挿入されるべきバッファの挿入位置を決定する。カップリング容量 C_c は、すでにグリッチ量の算出に用いられており、ステップ ST 3 の段階で既知の値である。なお、2つの配線間のカップリング容量の算出方法についても、各配線の長さ、配線の間隔等のパラメータを使った周知の計算方法により得られる。

【0028】

ステップ ST 3 は、図 5 (b) に示すステップ ST 3 1 ないし ST 3 3 により実現される。

ステップ ST 3 1 において、ステップ ST 1 で算出されたグリッチ量 V を使ってビクティム 1 に挿入すべきバッファの数、言い換えればバッファの挿入によりビクティム 1 の分割される数が決定される。つまり、ステップ ST 2 の 1 回のグリッチエラー検出で、従来のように挿入するバッファの数が 1 個と固定されるのではなく、グリッチ量 V が大きければその数を増加させるようにバッファ数が決められる。従ってグリッチエラーが解消できる適切なバッファ数を見積もることができる。

【0029】

このステップでは、グリッチ量 V_{max} を予め定め、 $V/n \leq V_{max}$ を満たす最小の整数 n が算出される。値 n はビクティム 1 の分割される数となり、値 $(n-1)$ は挿入されるバッファの数となる。値 V_{max} は、グリッチエラーを回避する修正目標のグリッチ量であり、少なくとも $V_{max} \leq V_{err}$ となるに予め決められている。 $V_{max} \leq V_{err} < V$ の関係により、ビクティム 1 の分割数 n は 2 以上の整数でありバッファの数は 1 個以上と算出される。

【0030】

$V_{max} = V_{err}$ とすると、値 V_{max} としてグリッチエラーを回避する限界の値が選択されることになる。よって $V_{max} < V_{err}$ とし、 $(V_{err} - V_{max})$ 相当分の余裕をもってグリッチエラーの回避を行う方が好ましい。

【0031】

次いでステップ ST 3 2 において、カップリング容量 C_c およびステップ ST 3 1 で得た値 n を使って目標容量値 C_d を決定する。この目標容量値 C_d は、ビ

クティム 1 が分割された後の各配線部分にグリッチエラーが生じないために各配線部分とアグレッサ 2 との間に存在すべきカップリング容量の目標を示す。分割数 n （つまりはグリッチ量 V ）と容量 C_c とを使えば、このようなカップリング容量は容易に設定される。本実施の形態では単純に $C_d = C_c / n$ と設定される。

【0032】

ステップ ST 3 3 において、目的容量値 C_d からバッファの挿入位置を決定する。ビクティム 1 を n 個の配線部分に分割したとき、当該 n 個の配線部分の各々とアグレッサ 2 とのカップリング容量が、目標容量値 C_d を越えないように、そのビクティム 1 の分割点をバッファの挿入位置として決定する。本実施の形態では特に、各配線部分とアグレッサ 2 とのカップリング容量とがほぼ目標容量値 $C_d = C_c / n$ と一致するように分割点が決定される。各配線部分とアグレッサ 2 とのカップリング容量は、各配線部分の長さ、各配線部分とアグレッサ 2 との間隔、等を使った周知の計算により得られるので、このような分割点は計算によって容易に見いだされる。

【0033】

例えばステップ ST 3 1 においてビクティム 1 が 2 つに分割され、ステップ ST 3 1 で $n = 2$ と決定されたとする。ステップ ST 3 2 で目標容量値 $C_d = C_c / 2$ と算出される。1 箇所の分割点 A をビクティム 1 上に決定するときに、図 4 (b) に示すように点 A により分割される配線部分 1 a、1 b とアグレッサ 2 とのそれぞれカップリング容量 C_{c1} 、 C_{c2} を $C_d = C_c / 2$ と一致させる。

【0034】

従来技術とは異なり、複数個の配線部分とアグレッサ 2 とのそれぞれカップリング容量が互いにほぼ一致するようにビクティム 1 の分割点を決めるので、ビクティム 1 がそのまま等分された位置でなく、図 4 (b) のようにアグレッサ 2 に近い部分（カップリング容量に寄与する部分）にバッファが挿入されることになる。

【0035】

次いでステップ ST 4 において、ビクティム 1 に挿入すべきバッファの種類が

決められる。駆動能力は大きいほどグリッチ量を低減する効果が大きくなる。しかし限りなくその駆動能力を大きくすれば回路面積および消費電力が増加する。グリッチエラーが回避できる駆動能力を有し、その中で面積が小さいバッファを決めることが望ましい。

【0036】

本実施の形態では挿入すべきバッファを決定するために、記録媒体に記録されて構成されたセルライブラリを活用する。図6にセルライブラリのデータ構造を示す。

【0037】

セルライブラリはレイアウト設計段階ですでに使用され、セルライブラリには複数の種類の機能セル（インバータ、ドライバ、NAND、NOR、フリップフロップ等）が登録され、同一種類の機能セルの中でも駆動能力および面積の異なる複数のセルが登録されている。駆動能力を示すデータ、レイアウト面積を示すデータ、およびセルの特徴を示すその他パラメータが各セルに対応づけて登録されている。面積を示すデータはその対応のセルの構造が占めるレイアウト面積そのものの値である。駆動能力を示すデータはセルの出力ノードを駆動するMOSトランジスタのソース抵抗値により表されている。

【0038】

本実施の形態では、セルライブラリに登録されているドライバセルの中から、ビクティム1を駆動するドライバ3の駆動能力を下回らない駆動能力を有するものであり且つそのうち面積が最小である1種類のセルが、ビクティム1に挿入される全てのバッファの各々として決定される。つまり、ドライバ3のソース抵抗値を $R_s(\text{Victim})$ とすると、 $R_s \leq R_s(\text{Victim})$ を満たすソース抵抗値 R_s を有する面積最小の1種類のドライバセルが選択される。ドライバ3の駆動能力を下回らないドライバセルが選択されるので、バッファ挿入後の配線のグリッチ量を削減することができる。しかも面積が最小であるセルが選択されるので、バッファ挿入による面積増加も極力防げる。

【0039】

ドライバセルは入力された論理レベルをそのまま出力する回路であり、通常偶

数個のインバータが直列に接続された構成をなす。しかしドライバ3から出力される論理レベルがドライバ6に入力されればよいので、挿入するバッファに採用されるセルの種類がドライバセルのみに限らない。例えば挿入されるバッファの数が偶数個であれば全バッファがインバータであってもよい。また挿入されるバッファ数が3であれば、3つのバッファを1つのドライバと2つのインバータとしてもよい。バッファ数が4以上であっても、ドライバ3から出力される論理レベルがドライバ6に入力されるように、インバータとドライバとの組み合わせで全バッファを構成してもよい。

【0040】

バッファとしてインバータを挿入する場合でも、 $R_s \leq R_s(\text{Victim})$ を満たすソース抵抗値 R_s を有する面積最小の1種類のインバータセルがセルライブラリから各バッファとして選択される。

【0041】

なおステップST4は、ステップST3と独立して行えるので、ステップST2と後述のバッファを挿入するステップST5との間の任意のステップで行うことができる。

【0042】

次いでステップST5において、ステップST3で決定された挿入位置に、ステップST4で選択されたバッファセルを挿入する。図4(c)のように、点Aにバッファ8が挿入される。

【0043】

従来技術では、図3に示すように、配線1bにグリッチエラーが生じる可能性が高く、バッファ5とドライバ6との間にさらにバッファを挿入する等して、少なくとも2個のバッファの挿入が必要がある。しかし本実施の形態の回路修正方法によれば、カップリング容量 C_c に基づきバッファの挿入位置を決定しているので、容量 C_c がアグレッサ2と分割された複数の配線1a、1bとの間とのそれぞれカップリング容量にうまく分配されるバッファの挿入位置が見積もれるので、例えば、挿入するバッファの数は図4(c)のように1個で済ませることができる。バッファ数を削減できれば回路を修正しても回路の面積若しくは消費電

力を抑えることができる。

【0044】

以上、この実施の形態では、配線間のカップリング容量、および、ドライバ3の駆動能力等のパラメータに応じて挿入すべきバッファの数、挿入位置、および種類を適切に見積もるので、回路の面積若しくは消費電力を抑えた回路に修正することができる。

【0045】

また、修正後の回路の新たな配線1a、1bについてのグリッチエラー判定および修正を行いグリッチエラーがなくなるまで繰り返されるが、この実施の形態ではステップST2～ST5の1回のグリッチエラー検出および回路修正で、適切なバッファの数、挿入位置および種類を見積もるので、従来技術のように何度も回路修正を行う必要がなくなるので、修正作業の時間短縮も達成される。

【0046】

実施の形態2.

本実施の形態の回路修正方法は、ステップST32、33が別の方法により実現される。その他の点については実施の形態1と同一である。ただしステップST31は本実施の形態の場合不要となる。

本実施の形態では、目標容量値 C_d が、値 C_c および V を使って $C_c \times V_{max} / V$ と算出される。 $(C_c \times V_{max} / V) \geq (C_c / n)$ の関係があり、 $(C_c \times V_{max} / V)$ は、ピクティム1を分割した後の各配線部分のグリッチ量が修正目標の V_{max} になると予想される限界の値である。

【0047】

本実施の形態では、分割後の配線部分に関しできる限り多く配線部分とアグレッサ2とのカップリング容量を $(C_c \times V_{max} / V)$ と一致させるように、ピクティム1の分割点を決める。図7(a)の回路を例にすると、以下の処理が行われる。

(処理1) ドライバ3の出力点Xを出発点とする。

(処理2) 出発点からアグレッサ2とのカップリング容量が容量値 C_d と一致する配線部分の終点を分割点として決定する。

(処理 3) 決定した分割点とドライバ 6 の入力点 Y との間の残りの部分と、アグレッサ 2 とのカップリング容量 C_c' が容量値 C_d を越えているか否かを判断する。越えていると判断した場合に当該終点を出発点と処理 1 を繰り返し、越えていなければ処理は終了する。

【 0 0 4 8 】

具体的に説明すると、処理 2 により、図 7 (b) のように最初の分割点 A と決定される。残りの点 A、Y 間の配線部分とアグレッサ 2 とのカップリング容量 C_c' が C_d を越えていると判断されると、再び処理 2 に従い図 7 (c) のように次の分割点 B が決定される。残りの点 B、Y 間の配線部分とアグレッサ 2 とのカップリング容量 C_c' が C_d を越えないと判断されると、処理は終了する。その時点でバッファの数も決定されるので、図 5 に示すステップ S T 3 1 は不要である。なお処理 1 の出発点は点 B としてもよい。

【 0 0 4 9 】

点 X、A 間の配線部分とアグレッサ 2 とのカップリング容量は C_d と同じである。点 A、B 間の配線部分とアグレッサ 2 とのカップリング容量は C_d と同じである。さらに、点 B、Y 間の配線部分とアグレッサ 2 とのカップリング容量は、容量値 C_d と同じか又はそれより小さい値になる。

【 0 0 5 0 】

そして、図 7 (d) のように、図 5 のステップ S T 6 に従い点 A、B にバッファが挿入される。本実施の形態の回路修正方法においても、実施の形態 1 と同様に、グリッチエラーを回避できるバッファの数、挿入位置、および種類を適切に見積もるので、回路の面積若しくは消費電力を抑えた回路に修正することができる。

【 0 0 5 1 】

実施の形態 3.

図 8 (a) は、本実施の形態 3 の回路修正方法によって修正されるべき半導体集積回路の一部である。本実施の形態では、複数のアグレッサは同時に信号変化したため共通のピクティムに対して同時にはグリッチを引き起こさないが、別々のタイミングでグリッチエラーを起こさせる場合における回路修正方法が示さ

れる。

本実施の形態による回路修正方法も、レイアウト検証用のCADツールとしてのコンピュータプログラムにより実現される。このプログラムはコンピュータに読み取り可能な記録媒体に記録され、コンピュータはその記録媒体から読み出したプログラムに従って本実施の形態の方法を実施する。

【0052】

この半導体集積回路のなかで互いに同時に信号変化を生じない複数の配線が予め解析される。これは回路を構成する論理から容易に解析される。その結果、ビクティム1にグリッチを引き起こし且つ同時に信号変化しない複数のアグレッサ（ここでは2個のアグレッサ2、21）が検出されたものとする。

【0053】

本実施の形態の回路修正方法では、アグレッサ2、21の各々に対して、実施の形態1の図5に示すステップST1、ST2、ST31、ST32が行われる。ステップST1でアグレッサ2、21がビクティム1に発生させるそれぞれグリッチ量がV1、V2と算出され、ステップST2でともにVer_rを越えていると判断される。

【0054】

ステップST31により、アグレッサ2についてビクティム1を分割する分割数がn1と計算され、アグレッサ21についてビクティム1を分割する分割数がn2と計算される。そして、ステップST32により、アグレッサ2、21の各々についての許容容量値Cd1、Cd2を求める。ここで、 $Cd1 = C1 / n1$ 、 $Cd2 = C2 / 2$ と算出される。

【0055】

そして実施の形態1と同様に、アグレッサ2に関し、アグレッサ2とビクティム1が分割された複数の配線部分とのそれぞれカップリング容量が容量値Cd1と一致するようにビクティム1の分割点を決定する（第1の分割方法）。同様に、アグレッサ21に関し、アグレッサ21とビクティム1が分割された複数の別の配線部分とのそれぞれカップリング容量が容量値Cd2と一致するようにビクティム1の別の分割点を決定する（第2の分割方法）。例えば図8（b）のよう

に $n_1 = 3$ 、 $n_2 = 4$ の場合に、第 1 の分割方法により分割点 B_1 、 B_2 が決められ、第 2 の分割方法により分割点 $A_1 \sim A_3$ が決められたものとする。

【 0 0 5 6 】

この 5 つの分割点からバッファの挿入位置を選択する。この選択にあたっては、実際にバッファを挿入してビクティム 1 が複数の配線部分に分割されたときその複数の配線部分とアグレッサ 2 とのカップリング容量のすべてが容量値 $C_{d1} = C_{c1} / n_1$ 以下となり、且つその同じ複数の配線部分とアグレッサ 2 1 とのカップリング容量のすべてが容量値 $C_{d2} = C_{c2} / n_2$ 以下にする、という条件を満足させる。従って、アグレッサ 2、2 1 が信号変化しても、その分割される複数の分割配線に対するグリッチエラーは回避することができる。しかも、この条件を満たす最少の挿入位置が選択すれば、以下に説明するように、実施の形態 1 を各アグレッサに単純に適用した場合に比べバッファ数を減らすことが可能である。

【 0 0 5 7 】

まず、ビクティム 1 の最も両端に位置する分割点 A_1 、 B_2 は無条件に挿入位置と決定される。図 8 (b) において、バッファ 3 の出力点 X と点 A_1 との間の配線部分は、アグレッサ 2 との間では C_{d1} より小さいがアグレッサ 2 1 との間では C_{d2} に等しいカップリング容量を有しているので、分割点 A_1 は、点 X から出発してアグレッサ 2 1 とのカップリング容量が C_{d1} を越えない限界の点である。また点 B_2 とバッファ 6 の入力点 Y との間の配線部分は、アグレッサ 2 1 との間では C_{d2} より小さいがアグレッサ 2 との間では C_{d1} に等しいカップリング容量を有しているので、分割点 B_2 は、点 Y から出発してアグレッサ 2 1 とのカップリング容量が C_{d1} を越えない限界の点である。

【 0 0 5 8 】

次に分割点 A_1 、 A_2 間の配線部分を考える。この配線部分は、アグレッサ 2 との間では C_{d1} より小さいがアグレッサ 2 1 との間では C_{d2} に等しいカップリング容量を有しているので、分割点 A_2 は、点 A_1 から出発してアグレッサ 2 1 とのカップリング容量が C_{d1} を越えない限界の点である。従って分割点 A_2 はバッファの挿入位置と決まる。

【0059】

次の分割点A 2、B 1間の配線部分を考える。この配線部分は、アグレッサ2との間ではC d 1より小さく且つアグレッサ2 1との間でもC d 2より小さいカップリング容量を有するので、点B 1をさらに越えた点をバッファの挿入位置に選べることを意味する。従って次に分割点A 2、A 3間の配線部分を考える。この配線部分は、アグレッサ2 1との間ではC d 2に等しいカップリング容量を有するが、アグレッサ2との間でC d 1を超えるカップリング容量であるかどうかを判断する。越えない場合には点A 3をバッファの挿入位置として選択しなければならないが、越える場合には選択できない。

【0060】

次に分割点B 1、A 3間の配線部分を考える。この配線部分は、アグレッサ2との間ではC d 1より小さく且つアグレッサ2 1との間でもC d 2より小さいカップリング容量を有するので、点A 3をさらに越えた点をバッファの挿入位置に選べる。次に分割点B 1、B 2間の配線部分を考える。この配線部分は、アグレッサ2との間ではC d 1に等しいカップリング容量を有するが、アグレッサ2 1との間でC d 2を超えるカップリング容量であるかどうかを判断する。越えない場合には点B 1を次のバッファの挿入位置として選択しなければならないが、越える場合には選択できない。

【0061】

以上の結果から、

(1)点A 2、A 3間の配線部分とアグレッサ2とのカップリング容量がC d 1を越えない場合且つ点B 1、B 2間の配線部分とアグレッサ2 1とのカップリング容量がC d 2を越えない場合には、点B 1、A 3のいずれか一方をバッファの挿入位置と選択すればよい。

(2)点A 2、A 3間の配線部分とアグレッサ2とのカップリング容量がC d 1を越えない場合且つ点B 1、B 2間の配線部分とアグレッサ2 1とのカップリング容量がC d 2を超える場合には、点A 3をバッファの挿入位置と選択し、点B 1は挿入位置には選べない。

(3)点A 2、A 3間の配線部分とアグレッサ2とのカップリング容量がC d 1

を越える場合、且つ点B 1、B 2間の配線部分とアグレッサ2 1とのカップリング容量が $C d 2$ を越えない場合には、点B 1をバッファの挿入位置と選択し、点A 3は挿入位置には選べない。

(4) A 2、A 3間の配線部分とアグレッサ2とのカップリング容量が $C d 1$ を越える場合且つ点B 1、B 2間の配線部分とアグレッサ2 1とのカップリング容量が $C d 2$ を越える場合は点A 3、B 1の双方をバッファの挿入位置とする。

【0062】

特に上記(1)ないし(3)の場合には、グリッチエラーを回避するバッファの数は4つとなり、実施の形態1を各アグレッサに適用した場合に比べて1つだけバッファ数が減ることになる。

【0063】

点A 1、A 2、B 1、B 2が選択されたとすると、実施の形態1の図5に示すステップST 5に従って挿入されるバッファの種類が決定された後に、図5(c)に示すように、選択された点に4つのバッファ30～33が挿入される。

【0064】

本実施の形態において、アグレッサ2、2 1のいずれか一方のみがビクティム1にグリッチエラーを生じさせると判定されたときには、そのエラーを生じさせるアグレッサのみについて実施の形態1による回路修正方法を行えばよい。また、アグレッサ2、2 1のいずれもビクティム1にグリッチエラーを生じさせないと判定されたときには、回路修正を行う必要はない。

【0065】

なお、本実施の形態の回路修正方法は、共通のビクティム1にグリッチエラーを生じさせるアグレッサは2個に限るものではなく、任意の個数に適用される。

k 個のアグレッサとビクティム1とのそれぞれカップリング容量を $C i$ 、各々のアグレッサについてステップST 3 1で得られる分割数を $n i$ としたとき、それぞれのアグレッサに関して目標容量値は $C i / n i$ と算出される。各アグレッサについて、ビクティム1を分割して得られる複数の分割線とのカップリング容量が $C i / n i$ となるようにビクティム1を分割する分割点を決定する($i = 1 \sim k$)。ビクティム1の全分割点は $(n 1 + n 2 + \dots + n k)$ 個となる。そ

して全分割点から、実際にバッファが挿入されビクティム1が分割された複数の配線部分の各々と各アグレッサとのカップリング容量がその各アグレッサに関する C_i/n_i を越えない分割点が選択される。

【0066】

実施の形態4.

本実施の形態の回路修正方法は、バッファの挿入位置を決定する方法が別の方法により実現され、その他の点は実施の形態3と同一である。ただし複数のアグレッサについて行われるステップST31は不要となる。

【0067】

本実施の形態では、各アグレッサについての目標容量値 C_{di} を $C_i \times V_{max}/V_i$ と算出する。そして、実際にバッファが挿入されてビクティムが分割される複数の配線部分の各々が各アグレッサに対して目標容量値 C_{di} を越えないカップリング容量を有するように分割点を決定しバッファの挿入位置とする。

【0068】

定義により $C_i \times V_{max}/V_i \geq C_i \times n_i$ の関係を満たすので、実施の形態3に比べてさらに少ないバッファ数を決定することも可能である。

【0069】

図9(a)に示すように、 $k=2$ の場合、すなわち同時に信号変化しない2つのアグレッサ2、21がビクティム1にグリッチエラーを発生させる場合を考える。アグレッサ2については、ビクティム1とのカップリング容量 C_1 、ビクティム1に生じさせるグリッチ量 V_1 、目標容量値 $C_{d1} = C_{c1} \times V_{max}/V_1$ が得られたとする。またアグレッサ21については、ビクティム1とのカップリング容量 C_2 、ビクティム1に生じさせるグリッチ量 V_2 、目標容量値 $C_{d2} = C_{c2} \times V_{max}/V_2$ が得られたとする。

【0070】

本実施の形態では、分割後の配線部分に関しできる限り多く配線部分とアグレッサ2とのカップリング容量を複数の目標容量値 C_{di} のいずれかに一致させるようにビクティム1の分割点を決める。そのため以下の処理が行われる。

【0071】

(処理 1) ドライバ 3 の出力点 X を出発点とする。

(処理 2) 出発点からアグレッサ 2 とのカップリング容量が容量値 $C d 1$ を越えず且つアグレッサ 2 1 とのカップリング容量が容量値 $C d 2$ を越えない最大の長さとなる配線部分の終点をバッファの挿入位置と決定する。

(処理 3) 決定した分割点とドライバ 6 の入力点 Y との間の残りの配線部分と、アグレッサ 2 とのカップリング容量 $C 1'$ が容量値 $C d 1$ を越えるかどうかおよび当該残りの部分とアグレッサ 2 1 とのカップリング容量 $C 2'$ が容量値 $C d 2$ を越えるかどうかを判断する。その少なくともいずれか一方が越えていると判断した場合、当該終点を出発点として処理 2 を繰り返し、そうでなければ処理は終了する。

【 0 0 7 2 】

具体的に説明すると、図 9 (b) において、点 X、点 A 1 間の配線部分は、アグレッサ 2 に対しては $C d 1$ より小さいカップリング容量 $C 1 1$ を有するが、アグレッサ 2 1 に対して $C d 2$ に等しいカップリング容量 $C 1 2$ を有するとする。すると、点 X から出発してアグレッサ 2 に対して $C d 1$ に等しいカップリング容量を有する配線部分の終点が、点 A 1 よりドライバ 6 側に近い点 B 1 に位置することは容易にわかる。しかし点 X、B 1 間の配線部分はアグレッサ 2 1 に対しては $C d 2$ を越えるカップリング容量を有する。従って処理 2 に従い点 A 1 がバッファの挿入位置として決定されるが、点 B 1 は挿入位置にはできない。

【 0 0 7 3 】

その結果、点 A 1 からドライバ 6 の入力点 Y までの残りの配線部分は、アグレッサ 2 に対して $C d 1$ を越えるカップリング容量 $C 1'$ を有し、アグレッサ 2 1 に対しても $C d 2$ を越えるカップリング容量 $C 2'$ を有すると仮定する。処理 3 に従い、点 A 1 を出発点として処理 2 を行う。

【 0 0 7 4 】

図 9 (c) において、点 A 1、点 A 2 間の配線部分は、逆に、アグレッサ 2 1 に対しては $C d 2$ より小さいカップリング容量 $C 2 2$ を有するが、アグレッサ 2 に対して $C d 1$ に等しいカップリング容量 $C 1 2$ を有するとする。よって、点 A 1 から出発してアグレッサ 2 1 に対して $C d 2$ に等しいカップリング容量を有す

る配線部分の終点が、点A 2よりドライバ6側に近い点B 2に位置することは容易にわかる。しかし点A 1、B 2間の配線部分はアグレッサ2に対してはC d 1を越えるカップリング容量を有する。従って分割点A 2が次のバッファの挿入位置として決定されるが、点B 2は挿入位置にはできない。

【0075】

その結果、点A 2から点Yまでの残りの配線部分は、アグレッサ2に対してC d 1より小さいカップリング容量C 1'を有し、アグレッサ2 1に対してもC d 2より小さいカップリング容量C 2'を有すると仮定する。処理3に従い、ここでバッファの挿入位置の検出は終了する。

【0076】

点X、A 1間、点A 1、A 2間、及び点A 2、Y間の3つの配線部分は、配線2との間でC d 1を超えないカップリング容量を有し、配線2 1の間でもC d 2を超えないカップリング容量を有することになる。そして、図5のステップS T 4によりバッファの種類を決定した後、図9 (d)のように、点A 1、A 2にバッファ4 0、4 1が挿入される。

【0077】

実施の形態5.

上記実施の形態1ないし4の各々では、一つのアグレッサは一つの配線からなる場合について述べた。しかし、一つの配線における信号変化だけでは一つのビクティムにグリッチエラーを引き起こさないが、複数の配線に同時にローレベルからハイレベルへの信号変化または同時にハイレベルからローレベルへの信号変化を発生することにより、一つのビクティムにグリッチエラーを引き起こす場合が考えられる。

【0078】

その場合には、同時に信号変化を引き起こす複数の配線が一つのアグレッサを構成するものし、ビクティムとその複数の配線とのそれぞれ複数のカップリング容量を加算した総和を、当該ビクティムとアグレッサとのカップリング容量と見なして、実施の形態1ないし4の各回路修正方法を実現すればよい。なお、その複数の配線が同時に信号変化を引き起こすか否かは、論理回路を構成する論理か

ら予め解析される。

【0079】

実施の形態6.

実施の形態1ないし5の各々において、少なくとも1個のアグレッサ2（又は21）がビクティム1にグリッチエラーが生じると判定した後に、ビクティム1を駆動する駆動回路（ドライバ3）より駆動能力の高い駆動回路に置き換えるステップと、アグレッサ2（又は21）が変更後のビクティム1にグリッチエラーを生じるかを再度判定するステップとを加える。再度グリッチエラーが生じると判定された場合に実施の形態1ないし5の各々で採用されたバッファの位置を決定するステップ、およびバッファの種類を決定するステップを行ってもよい。

【0080】

例えば、図4（a）のように回路のレイアウトが設計された場合、図5のステップST2にてビクティム1にグリッチエラーが生じると判定されたとき、ドライバ3をより駆動能力の大きいドライバに変更する。具体的には、図6に示すセルライブラリの中から、ドライバ3と同じ機能を有する種類の機能セル（ここではドライバセル）を選択する。図示しないがビクティム1を駆動する回路がNAND回路であればNANDセルが選択され、NOR回路であればNORセルが選択される。

【0081】

そしてセルライブラリの選択された種類の機能セルの中から、さらに駆動能力が最大（つまりソース抵抗値が最少）の1個の機能セル（ドライバセル）を選択する。そしてドライバ3は選択された機能セルに置換される。

【0082】

次いで、アグレッサ2が、置換された機能セルにより駆動されるビクティム1に引き起こすグリッチ量を再び算出し、算出されたグリッチ量がVer_rを越えるかどうか判定する。そしてその判定結果に応じ、越えていた場合にはバッファの挿入位置を決定するステップST3を行い、越えていなければ回路の修正は行わないようにする。

【0083】

バッファの挿入位置を決定するまえにビクティム 1 を駆動する駆動回路の駆動能力を向上させることにより駆動回路の置換後のビクティム 1 に生じるグリッチ量は減少する。よって、ステップ S T 3 によって決定されるバッファの挿入数が減少できる可能性がある。また本実施の形態によりビクティム 1 を駆動する駆動回路を置換した場合、図 5 のステップ S T 5 において、ビクティム 1 に挿入されるべきバッファとして、置換後の駆動回路以上の駆動能力を有し且つそのなかで面積が最少のものがセルライブラリから選択されることになる。よって、挿入するバッファにも駆動能力の高いものが選択され、グリッチエラーの回避で増加するビクティム 1 の遅延量を抑えることができる。

【 0 0 8 4 】

【発明の効果】

以上説明したように、この発明の回路修正方法およびコンピュータプログラムによると、アグレッサとビクティムとの間のカップリング容量に基づいて、バッファを挿入すべきビクティム上の挿入位置を決定するので、グリッチエラーを回避する適切なバッファの挿入位置が決まる。よって、挿入するバッファの数を削減できる。

【 0 0 8 5 】

またこの発明の回路修正方法およびコンピュータプログラムによると、アグレッサがビクティムに引き起こすグリッチのグリッチ量に基づいてビクティムに挿入すべきバッファの数を決定するので、グリッチエラーを回避する適切なバッファの数が決まる。よって挿入するバッファの数を削減できる。

【 0 0 8 6 】

またこの発明の回路修正方法およびコンピュータプログラムによると、ビクティムを駆動する駆動回路と同じか又はそれより大きい駆動能力を有するバッファをビクティムに挿入するので、バッファ挿入後の配線のグリッチ量を削減することができる。よってグリッチエラーの回避を促進する。

【 0 0 8 7 】

またこの発明の回路修正方法およびコンピュータプログラムによると、アグレッサがビクティムにグリッチエラーを生じさせると判定された場合、ビクティム

を駆動する駆動回路をより大きい駆動能力を有した別の駆動回路に置き換えるので、置換後の配線のグリッチ量を削減することができる。よってグリッチエラーの回避を促進する。

【図面の簡単な説明】

【図 1】 従来技術による回路修正方法の手順を示す説明図である。
実施の形態 1 における描画処理システムの構成を示す構成図である。

【図 2】 グリッチの現象を説明するために、配線 1、2 の波形を示す波形図である。

【図 3】 従来技術の問題点を説明するための説明図である。

【図 4】 この発明の実施の形態 1 による回路修正方法の手順を説明するための説明図である。

【図 5】 この発明の実施の形態 1 による回路修正方法を示すフローチャート図である。

【図 6】 この発明の実施の形態 1 によるセルライブラリーのデータ構造を示す構造図である。

【図 7】 この発明の実施の形態 2 による回路修正方法の手順を説明するための説明図である。

【図 8】 この発明の実施の形態 3 による回路修正方法の手順を説明するための説明図である。

【図 9】 この発明の実施の形態 4 による回路修正方法の手順を説明するための説明図である。

した構成図である。

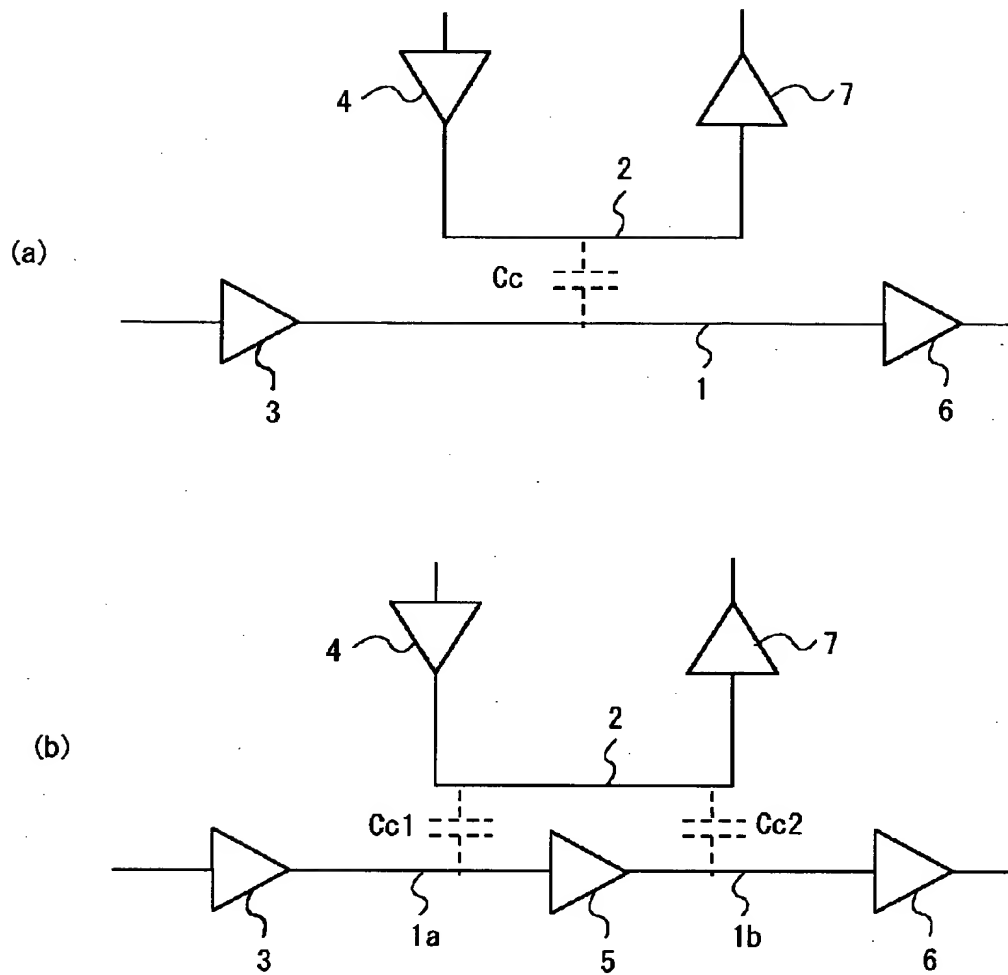
【符号の説明】

1…配線（ビクティム）、2、21…配線（アグレッサ）、3、4、6、7…ドライバ回路、5、10、11、30～33、40、41…挿入されるバッファ

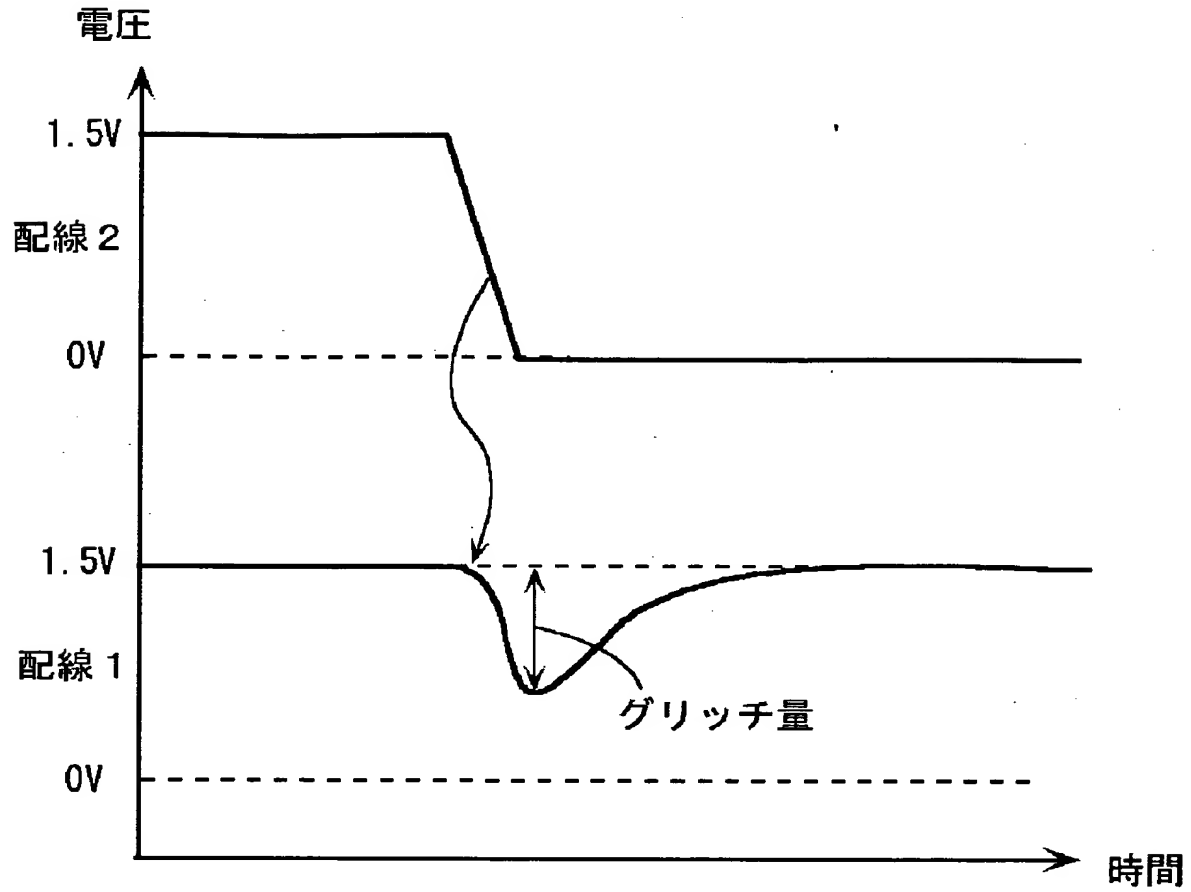
【書類名】

図面

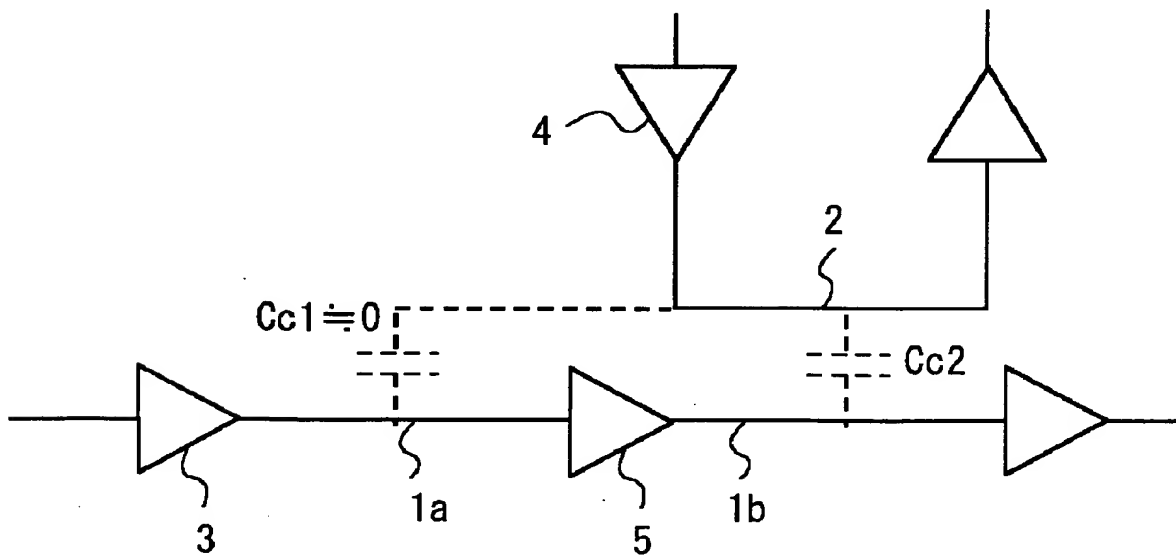
【図 1】



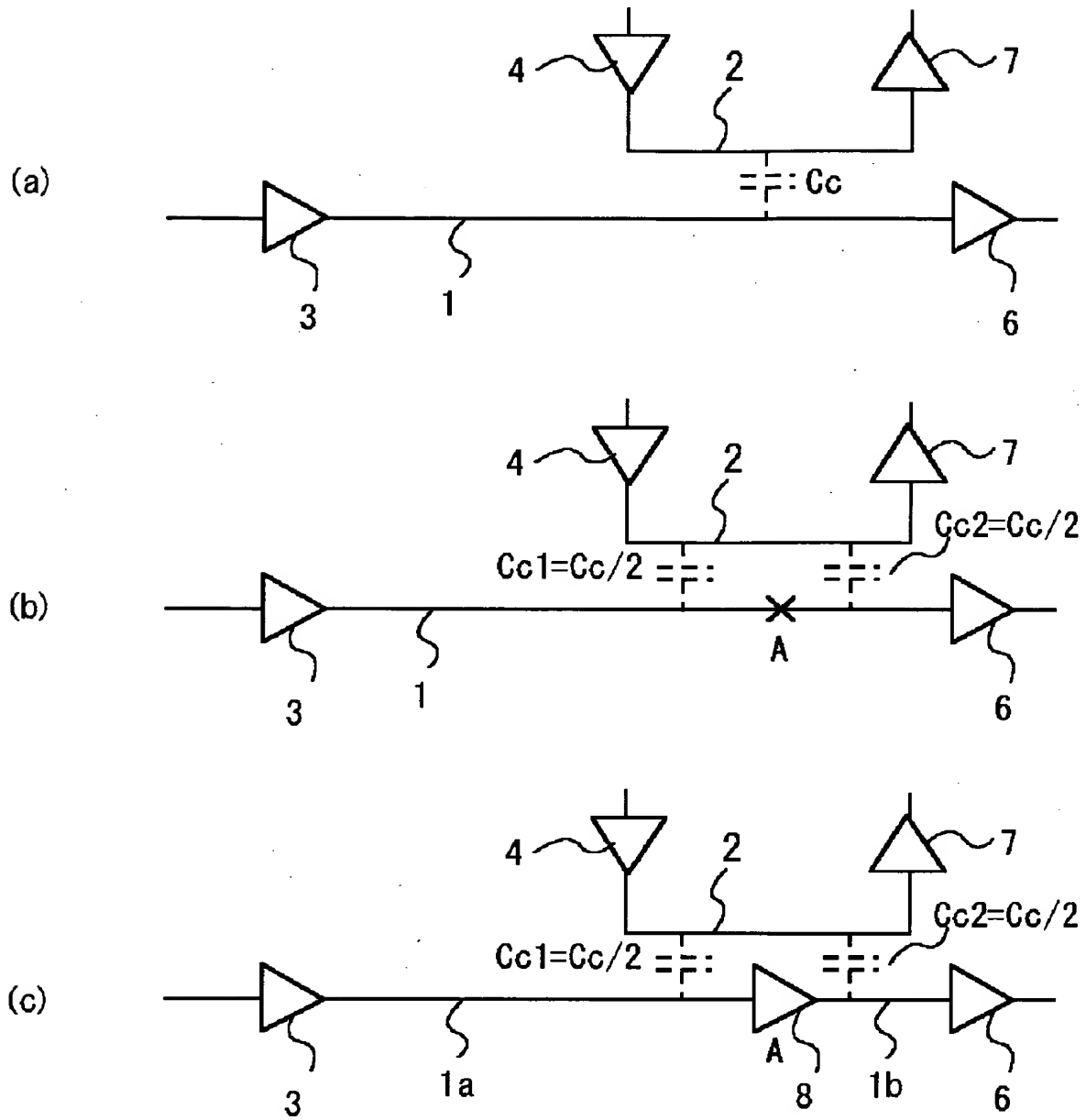
【図 2】



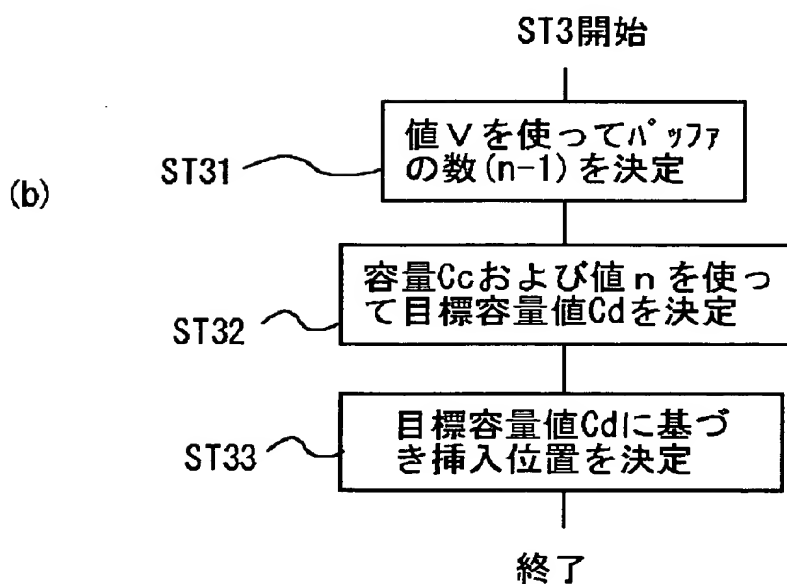
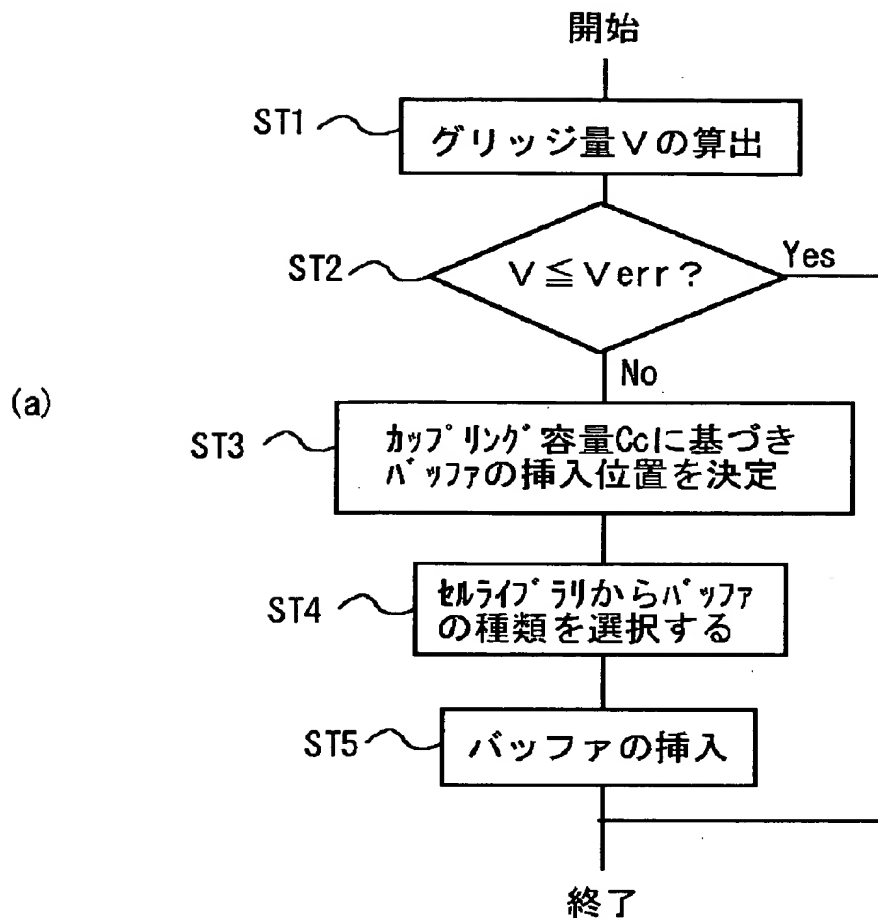
【図 3】



【図4】



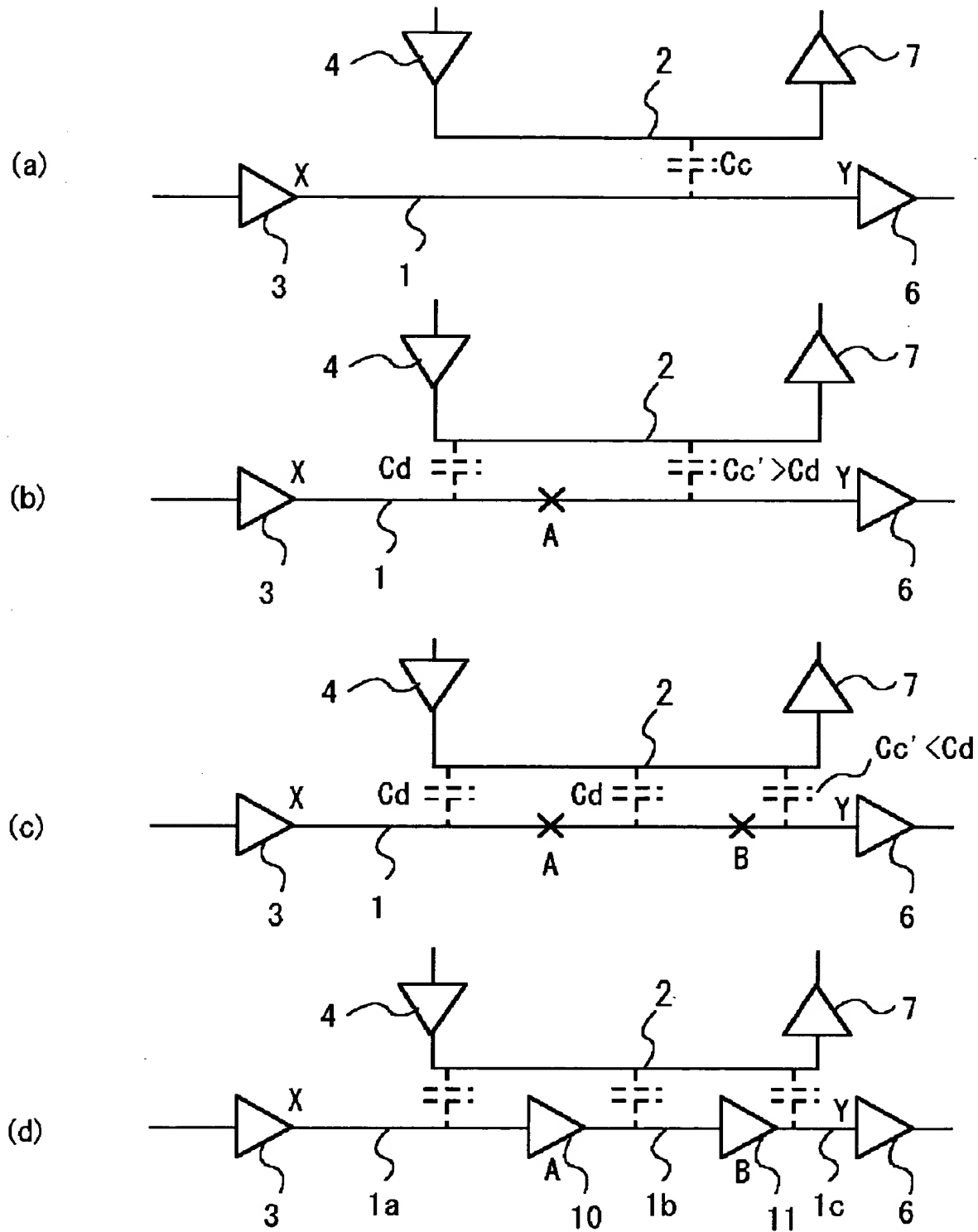
【図 5】



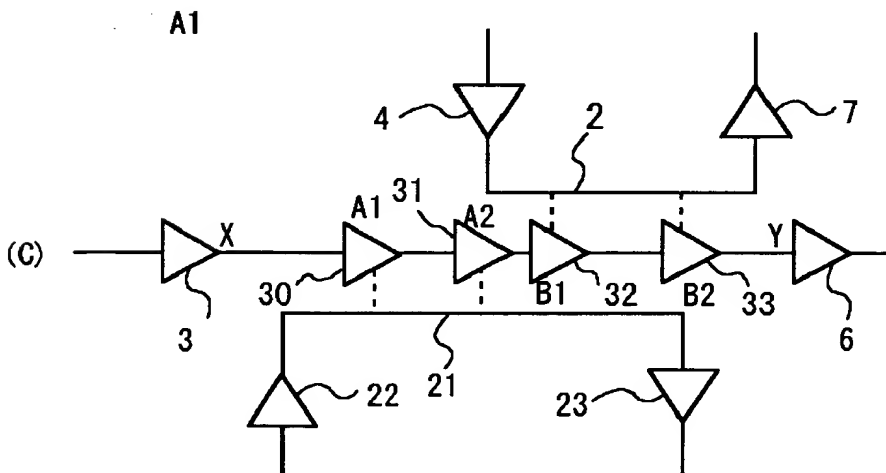
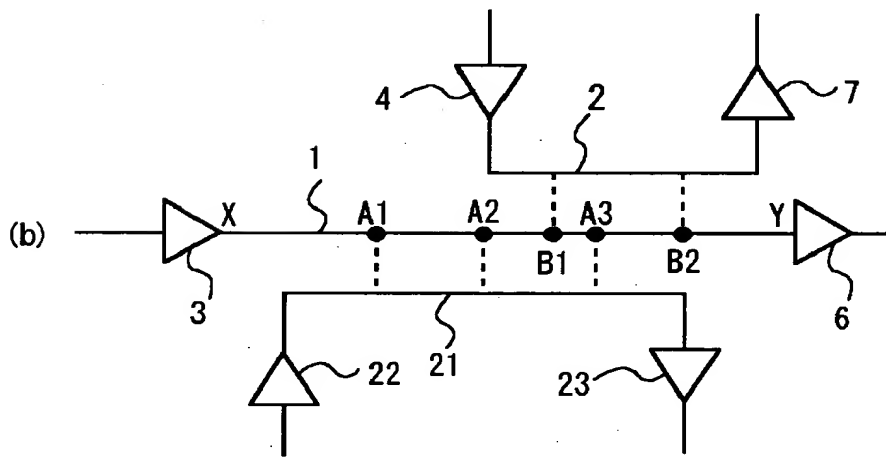
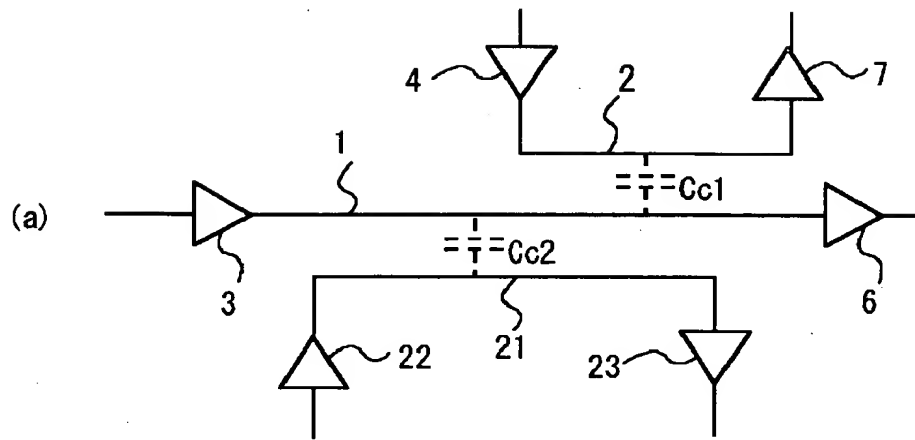
【図 6】

セルの種類	パ ラ メ ー タ			
	面積	駆動能力
インバータ 1	X 1 (μm^2)	Y 1 (Ω)	•	•
インバータ 2	X 2 (μm^2)	Y 2 (Ω)	•	•
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
ドライバ 1	X 3 (μm^2)	Y 3 (Ω)	•	•
ドライバ 2	X 4 (μm^2)	Y 4 (Ω)	•	•
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
NAND 1	X 5 (μm^2)	Y 5 (Ω)	•	•
NAND 2	X 6 (μm^2)	Y 6 (Ω)	•	•
•	•	•	•	•
•	•	•	•	•

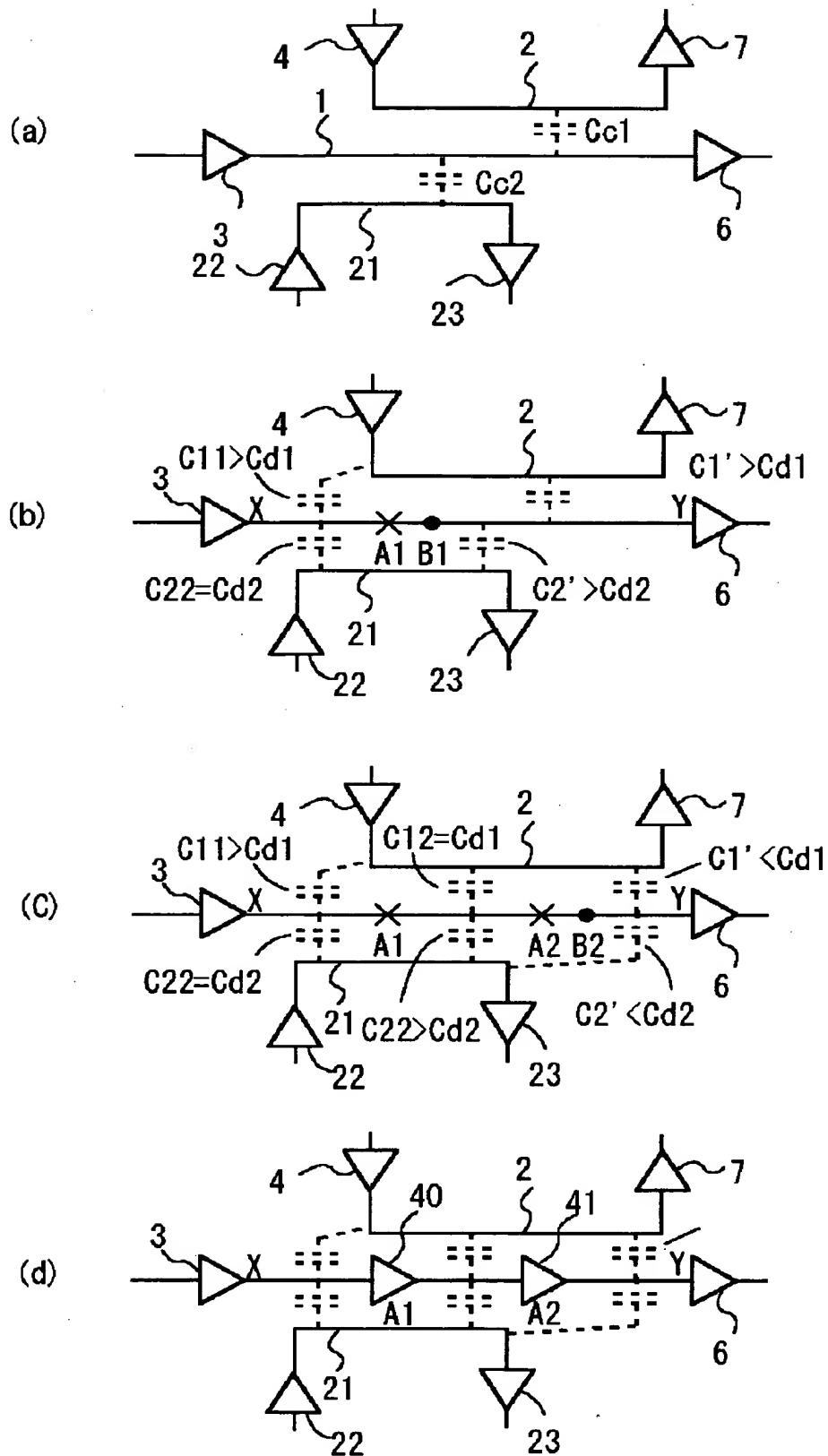
【图 7】



【図 8】



【图 9】



【書類名】 要約書

【要約】

【課題】 グリッチエラーを解消するために付加するバッファの数を増やさない

【解決手段】 アグレッサ 2 がビクティム 1 にグリッチエラーを生じさせると判定された場合、ビクティム 1 の挿入されるバッファ 8 の挿入位置は、ビクティム 1 とアグレッサ 2 とのカップリング容量 C_c に基づき決定される。例えば分割後の複数の配線部分とアグレッサ 2 とのカップリング容量を $C_c / 2$ となる点 A をバッファ 8 の挿入位置とする。元のカップリング容量 C_c が分割後の配線にうまく分配されるようにバッファが挿入されるので、分割後の配線のグリッチ量はバランスよく削減でき、さらなるバッファの追加を防げる。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名 三菱電機株式会社